

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PTO 94-4034

Japan, Kokai
59-45695

IC MEMORY
[IC memori]

Yuuichi Furukawa

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C.

August 1994

Translated by: Diplomatic Language Services, Inc.

(19) JAPAN
(11) Kokai No.: 59-45695
(12) Kokai
(51) IPC: G 11 C 17/00
29/00
(43) Laid open date: March 14, 1984
(54) IC MEMORY
(21) Application No.: 57-157217
(22) Application date: September 7, 1982
(72) Inventor: Yuuichi Furukawa
(71) Applicant: Fujitsu Kabushiki Kaisha

SPECIFICATIONS

1. Name of the Invention

IC Memory

2. Claims

IC memory characterized in that on a single substrate are provided a first memory means to store general data, a means to count the write-in frequency of the first memory means, a second memory means that stores multiple limit values in said write-in frequency count, a third memory means that stores the counting data of said counting means, and a comparison means to compare the counting data of said third memory means with the multiple limit values in the second memory means; and in that the first and third memory means consist of rewritable ROM, and that the second memory means consists of a fixed or rewritable ROM; and in that each time the control part receives signals of the first memory means, the counting means acts, and 1 is added to the former counting data in the third recording means, whereby the counting data is renewed; furthermore, the counting data is transmitted to the comparison means, compared with the limit values, and the results are output.

3. Detailed Explanation of the Invention

(a) Technical Field of the Invention

The present invention relates to the improvement of a rewritable circuit (EEPROM) IC memory.

(b) Technical Background

With the onset of semiconductor technology, many kinds of IC memories have been offered. Once content is recorded, read-only memory circuits/elements (ROM) can readout the contents many times. It is a nonvolatile memory whereby the content will not be lost in the interim, even if the power supply is interrupted. Many kinds of ROM have also been offered. Some are suitable for uses where, for example, once a recording is made (as in the case of dot data for letters), rewriting is unnecessary; and some are suitable in systems when rewriting occurs infrequently but rewriting capability must be present over long time intervals, as in initializing operation programs. The present invention relates to EEPROM and is offered for the latter purpose; it operates as a ROM for write-in/readout in a normal memory. By manipulating different electric signals, memory contents are erased and new data can be written in.

(c) Prior Art and Problems

Prior EEPROM were limited. For example, their lifetimes were 10^3 - 10^5 write-in cycles, and the memory operation was guaranteed within the scope of these limits. When assembled in a system, then, the write-in frequency was extremely small compared to the write-in lifetime of said EEPROM. When there was no need to be cognizant of the write-in lifetime, it was not a problem for the write-in frequency to completely lack control, or even to be left alone. However, when the write-in frequency is proportionally large compared to the write-in lifetime, a circuit is provided to control the EEPROM write-in frequency. The

frequency is counted. When the designated limit has reached the limit, a useful method of converting the EEPROM occurs to avoid damage that will surely occur thereafter. Fig. 1 shows an EEPROM block diagram provided with prior write-in circuit control means. In the figure, (1) is the first control part, (2) is the second control-part, (3) is the first memory part, (4) is the second memory part, (5) is the counter, and (6) is the comparison part. The first control part (1) imparts address ADD1 (which relates to general data DATA1), control signal CONT1, and WE to memory part (3), which receives them via the pass, and said part controls the write-in operation and the reading operation of the first memory component (3); in addition, it imparts address data DATA2 and control signal CONT2 (for controlling the write-in frequency of the first memory part (3)), and controls the write-in/readout of the write-in frequency count data 2 into a partial area of the first memory part (3). Each time control part (2) receives a write-enable signal WE from the first control part (1), CLK is transmitted to the former count data maintained in counter (5) and 1 is added, whereupon count data DATA2 is output to control part (1).

Thus, the first control part (1) controls the write-in and readout of DATA1 and DATA2 in different areas of the first memory component (3), respectively. The first memory part (3) consists of EEPROM, a control part whereby write-in/readout is performed according to the control of the first control part (1). The second memory part (4) consists of a mask type (for example) read-only memory circuit (ROM) that stores the limit values of the write-in frequency. Of course, it may also consist of a fuse ROM or EEPROM whereby write-in processing occurs in advance by

a suitable write-in means in the exterior. Whatever the case may be, when the write-in frequency limit value is 10^3 cycles (for example), 1111101000 10 bit data is permanently maintained; when 10^5 times, 11000011010100000 17 bit data is permanently maintained. When the above-mentioned control part (2) operates in the initial state setting, the prior count data stored in the first memory part (3) is set in counter (5) and, subsequently, counter (5) operates per each WE signal received from the first control part (1) whereby 1 is added, and the obtained count data DATA2 is each time stored in the first memory part (3) by ADD2, CONT2, and WE of the first control part (1); each time, said DATA2 is sent to comparison part (2) in accordance with the control of the first control part (1). Moreover, according to the control signal CONT3 of the second control part (2), comparison part (6) compares said DATA2 and the limit values received from the second memory part (4). The discerned results are emitted from the output terminals (OUT). For example, when $DATA2 < \text{limit value}$, a high level is emitted and write-in is possible. When $DATA2 \geq \text{limit value}$, a low level is emitted and a 0 is emitted such that write-in is impossible. Exchanging is reported as if said first memory part (3) was at normal write-in frequency. In the past, then, write-in frequency count data was compared to limit values, and extra space was needed for various exterior circuits that were provided to control the first memory part (3) of EEPROM. Also, in order to understand the status near the limit values of count data DATA2, it was necessary to transmit and check general data DATA1 together with DATA2. Though omitted in the figures, there were drawbacks in that, depending on the needs, special selection means were provided because

DATA1 and DATA2 had to be separated.

(d) Objectives of the Invention

The objective of the present invention is to offer an IC memory using EEPROM that has control means whereby, in addition to it being easy to understand the status near the final limit value by storing and checking multiple limit values (along with eliminating useless mounting space by providing the circuit to control write-in frequency and the EEPROM for storing general data on the same substrate), general data and count data are separated in different circuits and are not output by the same terminal, whereby control is easy.

- (e) Structure of the Invention

This objective is achieved by providing an IC memory characterized in that the following are provided on a single substrate: A first memory means to store general data, a means to count the write-in frequency of said first memory means, a second memory means to store multiple limit values in said write-in frequency count, a third memory means to store the count data of said count means, and a means to compare the count data of said third memory means and the multiple limit values in the second memory means; the first and third memory means consist of rewritable readout only memory circuits, and the second memory means consists of a fixed or rewritable readout only memory circuit; the counting means operates each time the control part receives write-in signals of the first memory means, whereby 1 is added to the former count data in the third memory means such that the count data is

renewed; the count data is securely transmitted to the comparison means and compared to the limit values, and the discerned results are output.

(f) Embodiments of the Invention

Next, one embodiment of the present invention will be explained referring to the figures. Fig. 2 is a block diagram of an IC memory using EEPROM that is provided with write-in frequency control means in one embodiment of the present invention. In the figure, (1a) is the first control part. (2a) is the second control part. (3) is the first memory part. (4a) is the second memory part. (5) is the counter. (6a) is the comparison part. (7) is the second memory part. Moreover, (10) is the single substrate in the one embodiment of the present invention.

The first memory part (3) and counter (5), which have the same codes as in Fig. 1, have common capabilities equivalent to those in the past. However, the first memory part (3) functions as an EEPROM-reliant DATA1 only memory structure that receives only the memory operation control of general data DATA1 from the first control part (1a), and not the memory operation control of count data DATA2. The fundamental operation of the others (the first control part 1a, the second control part 2a, the second memory part 4a, and comparison part 6a) is provided such that they are provided with capabilities resembling those of prior structural components (having suffix-less codes) and perform somewhat different functions.

The first control part (1a) performs readout, in accordance with data received from the pass, by imparting address ADD1, control signal
- CONT1 and write-enable WE1 to the first memory part; it writes in DATA1

and performs readout by imparting ADD1 and CONT1.

The second control part (2a), as in the past, performs the initial state (illegible word) operation (in accordance with the introduction of the power source) and the count control operation. Unlike the past, though, the former count data is obtained from the count data only memory third memory part (7), which is comprised of EEPROM and is set in counter (5). Clock CLK is transmitted to counter (5) per each receipt of WE1, whereby 1 is added per each receipt. In addition to count data DATA2 being sent to the third memory part (7), the second control part (2a) sends control signal CONT2 and write-enable WE2 to the third memory part (7). In addition to DATA2 being stored, DATA2 is sent to comparison part (6a). Here, the third memory part (7) consists of EEPROM. The stored content of its address, as in the past, is a sequence of bit data whereby 10 bits indicates 10^3 or 17 bits indicates 10^5 . Address data is not particularly necessary. As in the past, the second memory part (4a) consists of a mask-type ROM to store the limit values and a fuse ROM, or an EEPROM. Unlike the past, though, different limit values are stored. For example, the write-in frequency final value of 1111101000 (10^3 cycles) and the predicted limit value 1110000100 (9×10^2 cycles) consist of an the same number of bits and are stored serially. Thus, if the series of multiple limit values in the second memory part (4a) is DATA2 (comprised of the same number of bits of the limit values transmitted to the above-mentioned comparison part (6)), the second control part (2a) repeats, by control signal CONT3, several times per said bit structural unit and compares; when $DATA2 < \text{each limit value}$, a high level 1 is emitted; when $DATA2 \geq \text{the limit value}$, a low level is emitted. If this

is the case, then when, for example, DATA2 is in no way subordinate to the multiple limit values, comparison part (6a) outputs 1 relative to the final limit value, and 1 relative to the predicted limit value as well. When 11/DATA2 is between both limit values, output 10/DATA2 becomes (illegible) to the final limit value; when it is superior, output 00 is emitted from output terminal OUT. When multiple limit values are so aligned and established in the second memory part (4a), comparison part (6a) acts; if the comparison is repeated serially with the bits comprising DATA2 as units, then when DATA2 is equal to or superior to the final limit value, 0 is continued and detected. When DATA2 is below the final limit value, an indication is made (according to the establishment of the predicted limit value) that 1 is the top, and the degree of closeness to the final limit value can be detected.

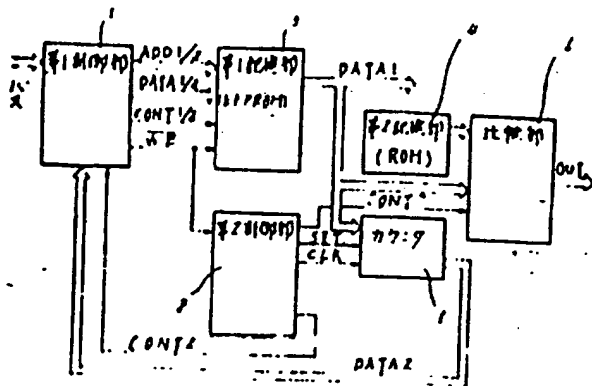
(g) Effects of the Invention

As in the preceding explanation, although prior EEPROM write-in frequency control means relied on external circuits, the present invention is made as one chip on the same substrate and is provided with a count only memory part. Therefore, in addition to the ability to eliminate and decrease mounting space, control means for write-in frequency limits (as in the prior first control part (1)), in which EEPROM is simply just memory control) do not even have to be considered. The degree of closeness to the final limit value can also be obtained, and the write-in frequency in the EEPROM can be easily controlled.

A Brief Explanation of the Figures

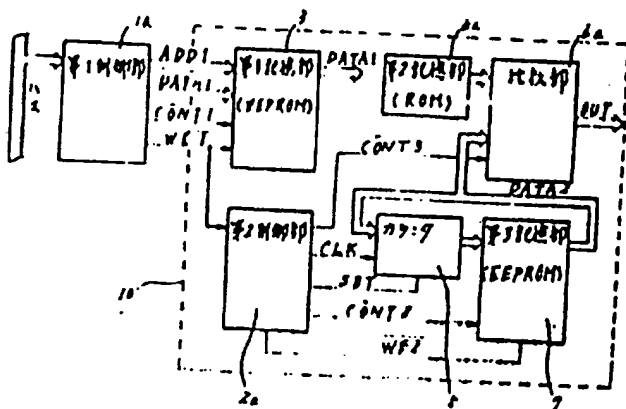
Fig. 1 is a block diagram of a prior EEPROM provided with a write-in frequency control means using exterior circuits. Fig. 2 is a block diagram of an IC memory with EEPROM provided with write-in frequency control means as the one embodiment of the present invention.

Figure 1.



- 1: First control part
- 2: Second control part
- 3: First memory part (EEPROM)
- 4: Second memory part (ROM)
- 5: Counter
- 6: Comparison part
- 7: Pass

Figure 2.



- 1a: First control part
- 2a: Second control part
- 3: First memory part (EEPROM)
- 4a: Second memory part (ROM)
- 5: Counter
- 6a: Comparison part
- 7: Third memory part (EEPROM)
- 28: Pass

(c) 将来技術と問題点

従来のEEPROMは有限の書き込み回数 $10^3 \sim 10^5$ 回の書き込み寿命を有し、その限度を超過するとメモリ動作が保証されている。従ってシステムに組み込んで利用するとき、該EEPROMの書き込み寿命に比較して、書き込み頻度が極めて少く、書き込み寿命を意図する必要がないときには書き込み回数は全く管理することなく放置しても問題はない。しかし書き込み寿命に比較して書き込み頻度が割合に多いときは、EEPROMを書き込み回数管理するための回路を設けて計数し、指定された限度に達したときは以後に発生する確度が高い障害を避けるためEEPROMを交換する使用方法が行われている。第1図に従来のかかる書き込み回数管理手段を備えたEEPROMのブロック図を示す。図において1は第1制御部、2は第2制御部、3は第1記憶部、4は第2記憶部、5はカウンタおよび6は比較部である。第1制御部1はバスを經由して受信する第1記憶部3への汎用データDATA1についてアドレスデータADD1、制御信号CO

NT1およびWEを与えて書き込み動作または第1記憶部3の読取り動作を制御する他、第1記憶部の書き込み回数を管理するためアドレスデータADD2、制御信号CONT2を与えて書き込み回数の計数データDATA2を第1記憶部3の一部領域に書き込み/読出しするための制御を行う。第2制御部2は第1制御部1よりのライトイネーブル信号WEを受信する部数カウンタ5の保持する旧計数データにCLKを送出して1を加算せしめて計数データDATA2を第1制御部1へ送出させる。

このように第1制御部1はDATA1およびDATA2について第1記憶部3のそれぞれ異なる領域へ書き込み且読出し制御を行う。第1記憶部3はEEPROMによって構成され第1制御部1の制御に従って書き込み読出しを行う記憶部である。第2記憶部4は書き込み回数の管理値を記憶する例えばマスク型の読出し専用記憶回路(ROM)により構成される。勿論外部において適当な書き込み手段により予め書き込み処理を施したヒューズ型のROMまたはEEPROMによって構成しても良い。

何れにしても例えば書き込み回数管理値 10^3 回のときは11111010000の10ビットデータ、 10^5 回のときは1100001101010000000の17ビットデータを固定的に保持する。前述の第2制御部2が電源投入時における初期状態設定動作において第1記憶部3に記憶する旧計数データをカウンタ5にセットし、その後第1制御部1より受信するWE信号毎にカウンタ5をして1づつ加算して得られる計数データDATA2をその都度第1制御部1のADD2、CONT2およびWEによって第1記憶部3へ記憶する部数DATA2は第1制御部1の制御に従って比較部6へ送出される。一方第2制御部2の制御依りCONT2に従って比較部6は計数DATA2と第2記憶部4より受信する管理値と比較して出力端子(OUT)よりその判定結果例えばDATA2<管理値のときは高レベルを送出して書き込み可としたりDATA2=管理値のときは低レベルを送出して書き込み不可として0を送出し第1記憶部3が規定の書き込み回数に達したとして交換することを指示

するようにしていた。このように従来の書き込み回数の計数データを管理値と比較してEEPROMによる第1記憶部3を管理するために後述の外部付加回路を設ける場合余分なスペースを必要とする他、計数データDATA2の管理値への近接状況を把握するためには汎用データDATA1と共にDATA2を送出せしめて点検する必要があった。また明示省略したが必要によって別途選択手段を設けてDATA1とDATA2を分離する必要がある等の欠点を有していた。

(d) 発明の目的

本発明の目的は書き込み回数を管理するための回路と汎用データを記憶するEEPROMを同一基板上に設けて余分なスペースを削除すると共に複数の管理値を記憶し、且照合することにより最終管理値への近接状況を把握し易くする他、汎用データと計数データとを別回路に分離して両データが同一端子に出力されるような事なく容易な管理手段を有するEEPROMによる1Cメモリを提供しようとするものである。

(a) 発明の構成

この目的は同一基板上に、汎用データを記憶する第1の記憶手段、該第1記憶手段の書込回数を計数する手段、該書込回数計数における初期の管理値を記憶する第2の記憶手段、該計数手段による計数データを記憶する第3の記憶手段、該第3記憶手段の計数データを第2記憶手段における初期の管理値と比較する手段を備えてなり、第1、第3記憶手段を電気消去可能な絶出し専用記憶回路、第2記憶手段を固定または電気消去可能な絶出し専用記憶回路により構成し、制御部は第1記憶手段の書込信号を受信する毎に計数手段をして第3記憶手段における旧計数データに1を加算して計数データを更新せしめ、更に計数データを比較手段に送出して管理値と比較させてその判定結果を送出せしめ、これを特徴とするICメモリを提供することによって達成することが出来る。

(b) 発明の実施例

以下本発明の一実施例について図面を参照しつつ説明する。第2図は本発明の一実施例における

与え汎用データDATA1を当込みまたADD1およびCONT1を与えて読出し動作を行う。

第2制御部2は従来の同様な動作に於いて初期状態の読込動作および計数動作を行行。但し従来の異なり旧計数データはEEPROMで構成する計数データ専用メモリ第3記憶部7より初てカウンタ5にセットし、WE1を受信する毎にクロックCLKをカウンタ5に送出して1づつ加算計数し、計数データDATA2を第3記憶部7に送出せると共に第2制御部2は制御信号CONT2およびライトイネーブルWE2を第3記憶部7に送出してDATA2を記憶せると共にDATA2を比較部6aに送出させる。ここで第3記憶部7はEEPROMで構成されそのアドレスは記憶内容が従来の同じく例えば10³を示す10ビットとか10⁵を示す17ビットのように一定のビットデータであり、常にアドレスデータを必要としない。第2記憶部4aも従来の同様に管理値を記憶するマスク型ROMまたはエーサ型ROMあるいはEEPROMで構成する。但し

書込回数管理手段を備えたEEPROMによるICメモリのブロック図を示す。図において1aは第1制御部、2aは第2制御部、3は第1記憶部、4aは第2記憶部、5はカウンタ、6aは比較部および7は第2記憶部である。尚10は本発明の一実施例における同一基板領域を示す。第1図と共通の符号を有する第1記憶部3とカウンタ5は従来のそれと同等であり共通の機能を有する。但し第1記憶部3は第1制御部1aより汎用データDATA1の読込動作制御のみを受け、計数データDATA2の読込動作制御を受けないEEPROM構成によるDATA1専用メモリとして動作する。その他の第1制御部1a、第2制御部2a、第2記憶部4aおよび比較部6aも基本動作としては従来のサフィックスのない符号を有する構成部材の機能に類似の機能を備え部分的に異なる動作を行う。

第1制御部1aはバスより受信するデータに従いアドレスデータADD1、制御信号CONT1およびライトイネーブルWE1を第1記憶部3へ

従来の異なり読込の管理値を記憶させる。例えば書込回数最終管理値を10³回として1111101000と予備管理値9×10³回として1110000100を同一ビット数により構成且連結して記憶させておく。そしてこの第2記憶部4aにおける送給する管理値を前述の比較部6aに送出される管理値と同一ビット数からなるDATA2と第2制御部2aは制御信号CONT3によって読込回数毎にビット構成単位毎に送給して比較させ、DATA2<各管理値のときは高レベル1を送出させ、DATA2≧管理値のときは低レベル0を送出させるようにすれば、例えばDATA2が読込の管理値に達し何れも下廻るときは比較部6aは最終管理値に対して1、予備管理値に対して0.1を出力して11、DATA2が両管理値の中間にあるときは出力10、DATA2が最終管理値に達しなくなると上廻るときは出力00を出力するビットより送給する。このように読込の管理値を第2記憶部4aに直列して設定して比較部6aを以てDATA2の読込ビット単位

として直前に比較を執るとDATA 2が最終管理値と等しくなるか判断する。是はりの判断して検出され、DATA 2が最終管理値未満のときは予備管理値の設定に従って1を加とする表示を行い最終管理値への接近度を検出することが出来る。

(d) 発明の効果

以上説明したように本発明によれば従来のEEPROMの書込回数を管理する手段を外部回路によっていたのに比較して同一基板上にチップとして構成したため実装スペースを削減し低コストと共、計測データ専用の記憶部を設けて従来の第1記憶部はEEPROMを単なるメモリ機能のみで書込回数管理のための制御手段を全く考慮することなく容易に使用出来、且最終管理値に対する接近度も得られEEPROMにおける書込回数を容易に管理することが出来るので有用である。

4. 図面の簡単な説明

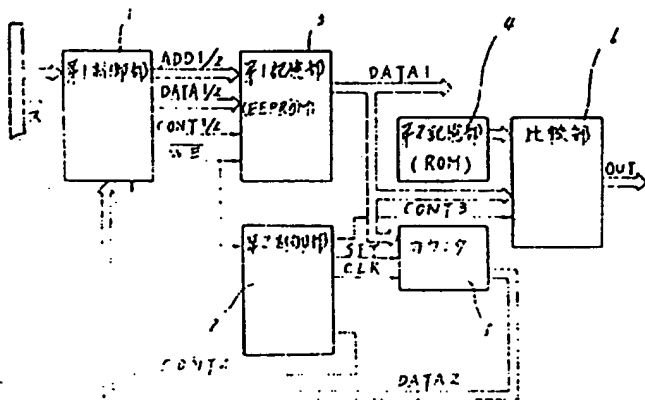
図1図は従来の外部回路によって書込回数管理手段を備えたEEPROMのブロック図、第2図は本発明の一実施例における書込回数管理手段を

備えたEEPROMによるICメモリのブロック図である。

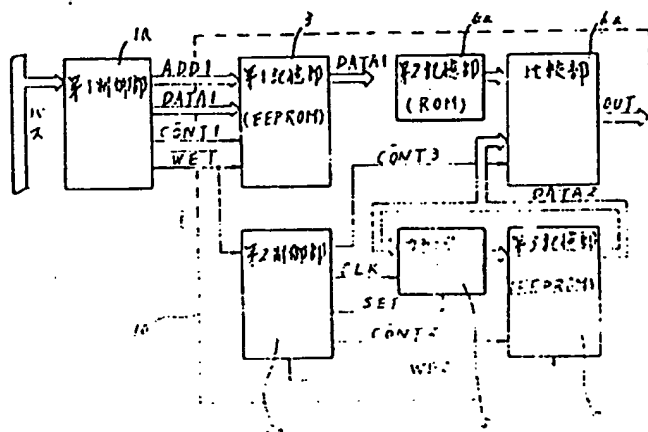
図において1、1aは第1記憶部、2、2aは第2記憶部、3は第1記憶部、4、4aは第2記憶部、5はカウンタ、6、6aは比較部および7は第3記憶部である。

代理人 弁理士 乙 岡 公明

第 1 図



第 2 図



(54) IC MEMORY

(11) 59-43695 (A) (43) 14.3.1984 (19) JP

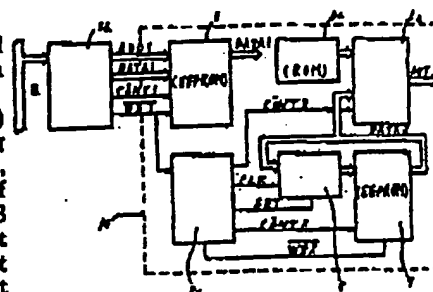
(21) Appl. No. 57-157217 (22) 7.9.1982

(71) FUJITSU K.K. (72) YUICHI FURUKAWA

(51) Int. Cl.³ G11C17/00, G11C29/00

PURPOSE: To control the frequency of writing to a rewritable PROM easily and securely, by disposing a circuit which controls the frequency of writing and a general data storage circuit discretely on the same substrate.

CONSTITUTION: The writing and reading of the rewritable PROM (EEPROM) 3 are controlled through the 1st control part 1a. The frequency of the rewriting of the EEPROM3 is counted and stored by the 2nd control part 2a, counter 5, EEPROM7, etc., and compared by a comparing part 6a with the limit value of an ROM4a to control the rewriting frequency of the EEPROM3. The EEPROM3 including this general data storage circuit and a writing frequency control circuit including the control part 2a, counter 5, EEPROM7, ROM4a, comparing part 6a, etc., are disposed discretely on the same chip 10, and their outputs are sent out through different terminals. This constitution controls the rewriting frequency of the rewritable programmable ROM easily and securely.



3: 1st storage part (EEPROM), 4a: 2nd storage part (ROM),
5: 3rd storage part (EEPROM), a: bus

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭59-45695

⑫ Int. Cl.³
G 11 C 17/00
29/00

識別記号
1 0 1

庁内整理番号
6549-5B
7922-5B

⑬ 公開 昭和59年(1984)3月14日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ ICメモリ

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 特 願 昭57-157217

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭57(1982)9月7日

川崎市中原区上小田中1015番地

⑱ 発 明 者 古川祐一

⑲ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

ICメモリ

2. 特許請求の範囲

同一基板上に、汎用データを記憶する第1の記憶手段、第1記憶手段の書込回路を計数する手段、該書込回路計数における複数の管理値を記憶する第2の記憶手段、該計数手段による計数データを記憶する第3の記憶手段、該第3記憶手段の計数データを第2記憶手段における複数の管理値と比較する手段を備えてなり、第1、第3記憶手段を電気消去可能な読出し専用記憶回路、第2記憶手段を固定または電気消去可能な読出し専用記憶回路により構成し、制御部は第1記憶手段の書込信号を生成する毎に計数手段をして第3記憶手段における前計数データに1を加算して計数データを更新せしめ、更に計数データを比較手段に送出して管理値と比較させてその判定結果を記憶せしめることを特徴とするICメモリ。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は電気消去可能な読出し専用記憶回路 (EEPROM) によるICメモリの改良に関する。

(b) 技術の背景

従来より半導体技術の発達に伴い多量のICメモリが提供されている。読出し専用記憶回路/素子 (ROM) は一度記憶した内容を何回でも読出しが出来、且その間にあって電線の供給を遮断しても記憶が失われない不揮発性のメモリである。ROMにも複数の種類が提供されており、例えば文字のドットデータのように一旦記憶すれば書き替える必要のない用途に適用するものやシステムにおける初期化動作のプログラムのように書き替えの頻度は少いが長い時間間隔であっても書き替え機能が必要な用途に適用するものが存在する。こゝでは後者のために提供される通常のメモリにおける書き込み読出し動作においてはROMとして作動し、異なる電気信号の操作によって記憶内容を消去し、新たにデータを書き込むことが可能なEEPROMに関するものである。

(c) 従来技術と問題点

従来よりEEPROMは有限の消え方 $10^5 \sim 10^6$ 回の書き込み寿命を有し、その限度範囲でメモリ動作が保証されている。従ってシステムに組込んで利用するとき、該EEPROMの書き込み寿命に比較して、書き込み頻度が極めて少く、書き込み寿命を考慮する必要がないときには書き込み回数は全く管理することなく放置しても問題はない。しかし書き込み寿命に比較して書き込み頻度が割合に多いときは、EEPROMを書き込み回数管理するための回路を設けて計数し、指定された限度に達したときは以後に発生する確度が高い障害を避けるためEEPROMを交換する使用方法が行われている。第1図に従来における書き込み回数管理手段を備えたEEPROMのブロック図を示す。図において1は第1制御部、2は第2制御部、3は第1記憶部、4は第2記憶部、5はカウンタおよび6は比較部である。第1制御部1はバスを經由して受信する第1記憶部3への汎用データDATA1についてアドレスデータADD1、制御信号CO

NT1およびWEを与えて書き込み動作または第1記憶部3の読取り動作を制御する他、第1記憶部の読込回数を管理するためアドレスデータADD2、制御信号CONT2を与えて書き込み回数の計数データDATA2を第1記憶部3の一部領域に書き込み/読出するための制御を行う。第2制御部2は第1制御部1よりのライトイネーブル信号WEを受信する都度カウンタ5の保持する旧計数データにCLKを送出して1を加算せしめて計数データDATA2を第1制御部1へ送出させる。

このように第1制御部1はDATA1およびDATA2について第1記憶部3のそれぞれ異なる領域へ書き込み且読出し制御を行う。第1記憶部3はEEPROMによって構成され第1制御部1の制御に従って書き込み読出しを行う記憶部である。第2記憶部4は書き込み回数の管理値を記憶する例えばマスク型の読出し専用記憶回路(ROM)により構成される。勿論外部において適当な書き込み手段により予め書き込み処理を施したヒューズ型のROMまたはEEPROMによって構成しても良い。

何れにしても例えば書き込み回数管理値 10^5 回のときは11111010000の10ビットデータ、 10^6 回のときは11000011010100000の17ビットデータを固定的に保持する。前述の第2制御部2が電源投入時における初期状態設定動作において第1記憶部3に記憶する旧計数データをカウンタ5にセットし、その後第1制御部1より受信するWE信号毎にカウンタ5をして1づつ加算して得られる計数データDATA2をその都度第1制御部1のADD2、CONT2およびWEによって第1記憶部3へ記憶する都度DATA2は第1制御部1の制御に従い比較部6へ送出される。一方第2制御部2の制御信号CONT3に従って比較部6はDATA2と第2記憶部4より受信する管理値と比較して出力端子(OUT)よりその判定結果例えばDATA2<管理値のときは高レベルを送出して書き込み可としDATA2 \geq 管理値のときは低レベルを送出して書き込み不可として0を送出し第1記憶部3が規定の書き込み回数になったとして交換することを通報

するようにしていた。このように従来は書き込み回数の計数データを管理値と比較してEEPROMによる第1記憶部3を管理するために種々の外部付加回路を設ける場合余分なスペースを必要とする他、計数データDATA2の管理値への近隣状態を把握するためには汎用データDATA1と共にDATA2を送出せしめて点検する必要があった。また図示省略したが必要によって別途選択手段を設けてDATA1とDATA2を分離する必要がある等の欠点を有していた。

(d) 発明の目的

本発明の目的は書き込み回数管理のための回路と汎用データを記憶するEEPROMを同一基板上に設けて無駄な実装スペースを削除すると共に複数の管理値を記憶、且照合することにより最終管理値への近接状態を把握し易くする他、汎用データと計数データとを別回路に分離して両データが同一端子に出力されるような事なく容易な管理手段を有するEEPROMによるICメモリを提供しようとするものである。

(e) 発明の構成

この目的は同一基板上に、汎用データを記憶する第1の記憶手段、該第1記憶手段の書き回数を計数する手段、該書き回数計数における複数の管理値を記憶する第2の記憶手段、該計数手段による計数データを記憶する第3の記憶手段、該第3記憶手段の計数データを第2記憶手段における複数の管理値と比較する手段を備えてなり、第1、第3記憶手段を電気消去可能な脱出し専用記憶回路、第2記憶手段を固定または電気消去可能な脱出し専用記憶回路により構成し、制御部は第1記憶手段の書き回数を受値する毎に計数手段をして第3記憶手段における旧計数データに1を加算して計数データを更新せしめ、更に計数データを比較手段に送出して管理値と比較させてその判定結果を送出せしめることを特徴とするICメモリを提供することによって達成することが出来る。

(f) 発明の実施例

以下本発明の一実施例について図面を参照しつつ説明する。第2図は本発明の一実施例における

与え汎用データDATA1を渡込みまたADD1およびCONT1を与えて脱出し動作を行う。

第2制御部2aは従来と同様寄数投入に伴って初期状態の脱出し動作および計数動作を行う。但し従来と異なり旧計数データはEEPROMで構成する計数データ専用メモリ第3記憶部7より得てカウンタ5にセットし、WE1を受値する毎にクロックCLKをカウンタ5に送出して1づつ加算計数し、計数データDATA2を第3記憶部7に送出させると共に第2制御部2aは制御信号CONT2およびライトイネーブルWE2を第3記憶部7に送出してDATA2を記憶させると共にDATA2を比較部6aに送出させる。ここで第3記憶部7はEEPROMで構成されそのアドレスは記憶内容が従来と同じく例えば10⁵を示す10ビットとか10⁶を示す17ビットのように一連のビットデータであり、特にアドレスデータを必要としない。第2記憶部4aも従来と同様に管理値を記憶するマスク型ROMまたはヒューズ型ROMあるいはEEPROMで構成する。但し

書き回数管理手段を備えたEEPROMによるICメモリブロック図を示す。図において1aは第1制御部、2aは第2制御部、3は第1記憶部、4aは第2記憶部、5はカウンタ、6aは比較部および7は第2記憶部である。尚10は本発明の一実施例における同一基板領域を示す。図1図と共通の符号を有する第1記憶部3とカウンタ5は従来のものであり共通の機能を有する。但し第1記憶部3は第1制御部1aより汎用データDATA1の受値動作制御のみを受け、計数データDATA2の記憶動作制御を受けないEEPROM構成によるDATA1専用メモリとして動作する。その他の第1制御部1a、第2制御部2a、第2記憶部4aおよび比較部6aも基本動作としては従来の特長を有する構成部材の機能に類似の機能を備え部分的に異なる動作を行う。

第1制御部1aはバスより受値するデータに従ってアドレスデータADD1、制御信号CONT1およびライトイネーブルWE1を第1記憶部3へ

従来と異なり複数の管理値を記憶させる。例えば書き回数最終管理値を10⁵回として11111101000と予程管理値9×10⁵回として1110000100を同一ビット数により構成し連続して記憶させておく。そしてこの第2記憶部4aにおける連続する複数の管理値を前述の比較部6aに送出される管理値と同一ビット数からなるDATA2と第2制御部2aは制御信号CONT3によって複数回だけビット構成単位毎に繰返して比較させ、DATA2<各管理値のときは高レベル1を送出させ、DATA2≧管理値のときは低レベルを送出させるようにすれば、例えばDATA2が後述の管理値に対して何れも下廻るときは比較部6aは最終管理値に対して1、予程管理値に対しても1を出力して11、DATA2が両管理値の中間にあるときは出力10、DATA2が最終管理値に等しくなるか上廻ったときは出力00を出力端子OUTより送出する。このように複数の管理値を第2記憶部4aに直列して設定して比較部6aをしてDATA2の構成ビットを単位

EEPROMによるICメモリのブロック図である。

図において、1、1aは第1制御部、2、2aは第2制御部、3は第1記憶部、4、4aは第2記憶部、5はカウンタ、6、6aは比較部および7は第3記憶部である。

代理人 弁理士 松岡 宏樹

して直列に比較を繰返せばDATA 2が最終管理値と等しくなるか上回るときは0の流送して検出され、DATA 2が最終管理値未満のときは予備管理値の設定に従って1を流とする表示を行い最終管理値への接近度を検出することが出来る。

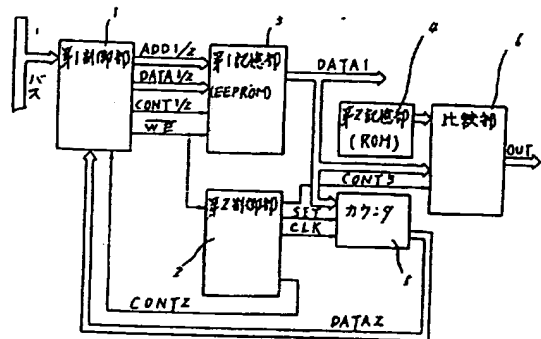
(d) 発明の効果

以上説明したように本発明によれば従来のEEPROMの書き回数を管理する手段を外部回路によっていたのに比較して同一チップ上に1チップとして構成したため実装スペースを削減低減出来ると共に、計数データ専用の記憶部を設けて従来の第1制御部はEEPROMを単なるメモリ制御のみで書き回数管理のための制御手段を全く考慮することなく容易に使用出来、且最終管理値に対する接近度も得られEEPROMにおける書き回数を容易に管理することが出来るので有用である。

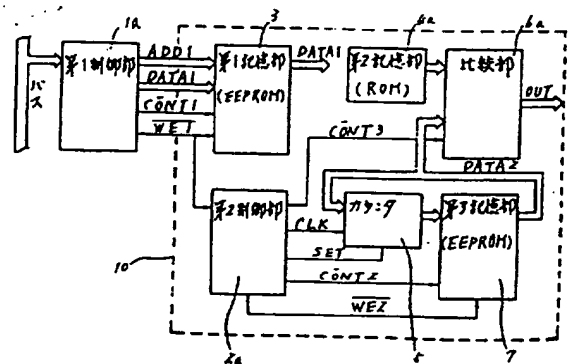
4. 発明の他の説明

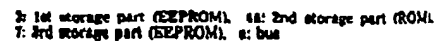
第1図は従来の外部回路によって書き回数管理手段を備えたEEPROMのブロック図、第2図は本発明の一実施例における書き回数管理手段を

第1図



第2図





公開特許公報 (A)

昭59--45695

Int. Cl.³
G 11 C 17/00
29/00

識別記号
1 0 1

庁内整理番号
6549-5B
7922-5B

公開 昭和59年(1984)3月14日

発明の数 1
審査請求 未請求

(全 4 頁)

ICメモリ

川崎市中原区上小田中1015番地
富士通株式会社内

特 願 昭57-157217
出 願 昭57(1982)9月7日
発 明 者 古川祐一

出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
代 理 人 弁理士 松岡宏四郎

94-4034
S.T.I.C., TRANSLATIONS BRANCH

要 綱

1. 発明の名称

ICメモリ

2. 特許請求の範囲

同一半導体上に、読出データを記憶する第1の記憶手段、読出手段の読出回路を記憶する手段、読出回路の読出回路における複数の記憶値を記憶する第2の記憶手段、読出手段による読出データを記憶する第3の記憶手段、読出手段の読出回路を第2記憶手段における複数の記憶値と比較する手段を備えており、第1、第3記憶手段を電気消去可能な読出し専用記憶回路、第2記憶手段を固定または電気消去可能な読出し専用記憶回路により構成し、読出回路は第1記憶手段の記憶値を記憶する毎に読出手段による第3記憶手段における読出データに1を加算して読出データを更新し、更に読出データを比較手段に出して記憶値と比較させてその結果を記憶手段に記憶するICメモリ。

3. 発明の技術分野

(a) 発明の技術分野

本発明は電気消去可能な読出し専用記憶回路 (EEPROM) による ICメモリの改良に関する。

(b) 技術的背景

従来より半導体技術の発達に伴い多種の ICメモリが提供されている。読出し専用記憶回路 / 素子 (ROM) は一度記憶した内容を何回でも読出しが出来る、且その間にあって電源の供給を遮断しても記憶が失われない不揮発性のメモリである。ROMにも複数の仕様が提供されており、例えば文字のドットデータのように一旦記憶すれば書き換える必要のない用途に適用するものやシステムにおける初期化動作のプログラムのように書き換える頻度は少ないが長い時間間隔であっても書き換えが必要ない用途に適用するものが存在する。ここでは後者のために提供される通常のメモリにおける読み出し動作においては ROM として自動的、異なる電気信号の操作によって記憶内容を消去し、新たにデータを記憶することが可能な DRAM (ROM) に関するものである。

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59-45695

⑪ Int. Cl.³
G 11 C 17/00
29/00

識別記号
1 0 1

庁内整理番号
6549-5B
7922-5B

⑬ 公開 昭和59年(1984)3月14日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ ICメモリ

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭57-157217

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭57(1982)9月7日

川崎市中原区上小田中1015番地

⑲ 発 明 者 古川祐一

⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

ICメモリ

2. 特許請求の範囲

同一基板上に、汎用データを記憶する第1の記憶手段、第1記憶手段の書込回数を計数する手段、該書込回数計数における複数の管理値を記憶する第2の記憶手段、該計数手段による計数データを記憶する第3の記憶手段、該第3記憶手段の計数データを第2記憶手段における複数の管理値と比較する手段を備えてなり、第1、第3記憶手段を電気消去可能な読出し専用記憶回路、第2記憶手段を固定または電気消去可能な読出し専用記憶回路により構成し、制御部は第1記憶手段の書込信号をカウントする毎に計数手段をして第3記憶手段における前記計数データに1を加算して計数データを更新せしめ、更に計数データを比較手段に送出して管理値と比較させてその判定結果を演出せしめることを特徴とするICメモリ。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は電気消去可能な読出し専用記憶回路 (EEPROM) によるICメモリの改良に関する。

(b) 技術的背景

従来より半導体技術の発達に伴い多量のICメモリが提供されている。読出し専用記憶回路/素子 (ROM) は一度記憶した内容を何回でも読出しが出来、且その間にあって電源の供給を遮断しても記憶が失われない不揮発性のメモリである。ROMにも複数の種類が提供されており、例えば文字のドットデータのように一旦記憶すれば書き換える必要のない用途に適用するものやシステムにおける初期化動作のプログラムのように書き換えの頻度は少ないが長い時間間隔であっても書き換え機能が必要な用途に適用するものが存在する。こゝでは後者のために提供される通常のメモリにおける書込み/読出し動作においてはROMとして作動し、異なる電気信号の操作によって記憶内容を消去し、新たにデータを書込むことが可能なEEPROMに関するものである。

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59-45695

⑪ Int. Cl.³
G 11 C 17/00
29/00

識別記号
1 0 1

庁内整理番号
6549-5B
7922-5B

⑬ 公開 昭和59年(1984)3月14日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ ICメモリ

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭57-157217

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭57(1982)9月7日

川崎市中原区上小田中1015番地

⑲ 発 明 者 古川祐一

⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

ICメモリ

2. 特許請求の範囲

同一基板上に、汎用データを記憶する第1の記憶手段、第1記憶手段の書込回数を計数する手段、該計数回数を計数における複数の管理値を記憶する第2の記憶手段、該計数手段による計数データを記憶する第3の記憶手段、該第3記憶手段の計数データを第2記憶手段における複数の管理値と比較する手段を備えてなり、第1、第3記憶手段を電気消去可能な読出し専用記憶回路、第2記憶手段を固定または電気消去可能な読出し専用記憶回路により構成し、制御部は第1記憶手段の書込信号を受信する毎に計数手段をして第3記憶手段における旧計数データに1を加算して計数データを更新せしめ、更に計数データを比較手段に送出して管理値と比較させてその判定結果を演出せしめることを特徴とするICメモリ。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は電気消去可能な読出し専用記憶回路(EEPROM)によるICメモリの改良に関する。

(b) 技術的背景

従来より半導体技術の発達に伴い多量のICメモリが提供されている。読出し専用記憶回路/素子(ROM)は一度記憶した内容を何回でも読出しが出来、且その間にあって電線の供給を遮断しても記憶が失われない不揮発性のメモリである。ROMにも複数の種類が提供されており、例えば文字のドットデータのように一旦記憶すれば書き替える必要のない用途に適用するものやシステムにおける初期化動作のプログラムのように書き替える頻度は少いが長い時間間隔であっても書き換えが必要ない用途に適用するものが存在する。こゝでは後者のために提供される通常のメモリにおける書き込み読出し動作においてはROMとして動作し、異なる電気信号の操作によって記憶内容を消去し、新たにデータを書き込むことが可能なEEPROMに関するものである。

(c) 従来技術と問題点

従来よりEEPROMは有限の例えば $10^3 \sim 10^4$ 回の書き込み寿命を有し、その限度を以てメモリ動作が保証されている。従ってシステムに組込んで利用するとき、該EEPROMの書き込み寿命に比較して、書き込み頻度が極めて少く、書き込み寿命を意識する必要がないときには書き込み回数は全く管理することなく放置しても問題はない。しかし書き込み寿命に比較して書き込み頻度が割合に多いときは、EEPROMを書き込み回数管理するための回路を設けて計数し、指定された限度に達したときは以後に発生する確度が高い障害を避けるためEEPROMを交換する使用方法が行われている。第1図に従来における書き込み回数管理手段を備えたEEPROMのブロック図を示す。図において1は第1制御部、2は第2制御部、3は第1記憶部、4は第2記憶部、5はカウンタおよび6は比較部である。第1制御部1はバスを經由して受信する第1記憶部3への汎用データDATA1についてアドレスデータADD1、制御信号CO

NT1およびWEを与えて書き込み動作または第1記憶部3の読取り動作を制御する他、第1記憶部の書き込み回数管理するためアドレスデータADD2、制御信号CONT2を与えて書き込み回数の計数データDATA2を第1記憶部3の一部領域に書き込み/読出するための制御を行う。第2制御部2は第1制御部1よりのライトイネーブル信号WEを受信する部数カウンタ5の保持する旧計数データにCLKを送出して1を加算せしめて計数データDATA2を第1制御部1へ送出させる。

このように第1制御部1はDATA1およびDATA2について第1記憶部3のそれぞれ異なる領域へ書き込み且読出し制御を行う。第1記憶部3はEEPROMによって構成され第1制御部1の制御に従って書き込み読出しを行う記憶部である。第2記憶部4は書き込み回数の管理値を記憶する例えばマスク型の読出し専用記憶回路(ROM)により構成される。勿論外部において適当な書き込み手段により予め書き込み処理を施したヒューズ型のROMまたはEEPROMによって構成しても良い。

何れにしても例えば書き込み回数管理値 10^3 回のときは11111010000の10ビットデータ、 10^4 回のときは1100001101010000000の17ビットデータを固定的に保持する。前述の第2制御部2が電源投入時に於ける初期状態設定動作において第1記憶部3に記憶する旧計数データをカウンタ5にセットし、その後第1制御部1より受信するWE信号毎にカウンタ5をして1づつ加算して得られる計数データDATA2をその部数第1制御部1のADD2、CONT2およびWEによって第1記憶部3へ記憶する部数DATA2は第1制御部1の制御に従い比較部6へ送出される。一方第2制御部2の制御信号CONT3に従って比較部6はDATA2と第2記憶部4より受信する管理値と比較して出力端子(OUT)よりその判定結果例えばDATA2<管理値のときは高レベルを送出して書き込み可としDATA2 \geq 管理値のときは低レベルを送出して書き込み不可として0を送出し第1記憶部3が規定の書き込み回数になったとして交換することを通報

するようにしていた。このように従来は書き込み回数の計数データを管理値と比較してEEPROMによる第1記憶部3を管理するために種々の外部付加回路を設ける場合余分なスペースを必要とする他、計数データDATA2の管理値への近接状況を把握するためには汎用データDATA1と共にDATA2を送出せしめて点検する必要があった。また図示省略したが必要によって別途選択手段を設けてDATA1とDATA2を分離する必要がある等の欠点を有していた。

(d) 発明の目的

本発明の目的は書き込み回数管理のための回路と汎用データを記憶するEEPROMを同一基板上に設けて無駄な実装スペースを削減すると共に複数の管理値を記憶、且照合することにより最終管理値への近接状況を把握し易くする他、汎用データと計数データとを別回路に分離して両データが同一端子に出力されるような事なく容易な管理手段を有するEEPROMによるICメモリを提供しようとするものである。

(a) 発明の構成

この目的は同一基板上に、汎用データを記憶する第1の記憶手段、該第1記憶手段の書き込み回数を計数する手段、該書き込み回数計数における複数の管理値を記憶する第2の記憶手段、該計数手段による計数データを記憶する第3の記憶手段、該第3記憶手段の計数データを第2記憶手段における複数の管理値と比較する手段を備えてなり、第1、第3記憶手段を電気消去可能な脱出し専用記憶回路、第2記憶手段を固定または電気消去可能な脱出し専用記憶回路により構成し、制御部は第1記憶手段の書き込み信号を受信する毎に計数手段をして第3記憶手段における旧計数データに1を加算して計数データを更新せしめ、共に計数データを比較手段に送出して管理値と比較させてその判定結果を送出せしめることを特徴とするICメモリを提供することによって達成することが出来る。

(b) 発明の実施例

以下本発明の一実施例について図面を参照しつつ説明する。第2図は本発明の一実施例における

書き込み回数管理手段を備えたEEPROMによるICメモリのブロック図を示す。図において1aは第1制御部、2aは第2制御部、3は第1記憶部、4aは第2記憶部、5はカウンタ、6aは比較部および7は第2記憶部である。尚10は本発明の一実施例における同一基板領域を示す。第1図と共通の符号を有する第1記憶部3とカウンタ5は従来のそれと同等であり共通の機能を有する。但し第1記憶部3は第1制御部1aより汎用データDATA1の記憶動作制御のみを受け、計数データDATA2の記憶動作制御を受けないEEPROM構成によるDATA1専用メモリとして動作する。その他の第1制御部1a、第2制御部2a、第2記憶部4aおよび比較部6aも基本動作としては従来のサフィックスのない符号を有する構成部材の機能に類似の機能を備え部分的に異なる動作を行う。

第1制御部1aはバスより受信するデータに従いアドレスデータADD1、制御信号CONT1およびライトイネーブルWE1を第1記憶部3へ

与え汎用データDATA1を書き込みまたADD1およびCONT1を与えて脱出し動作を行う。

第2制御部2aは従来の同様な投入に伴って初期状態の所定動作および計数制御動作を行う。但し従来の異なり旧計数データはEEPROMで構成する計数データ専用メモリ第3記憶部7より得てカウンタ5にセットし、WE1を受信する毎にフロッグCLKをカウンタ5に送出して1ずつ加算計数し、計数データDATA2を第3記憶部7に送出させると共に第2制御部2aは制御信号CONT2およびライトイネーブルWE2を第3記憶部7に送出してDATA2を記憶させると共にDATA2を比較部6aに送出させる。ここで第3記憶部7はEEPROMで構成されそのアドレスは記憶内容が従来の同じく例えば10³を示す10ビットとか10³を示す17ビットのようの一連のビットデータであり、特にアドレスデータを必要としない。第2記憶部4aも従来の同様に管理値を記憶するマスク型ROMまたはヒューズ型ROMあるいはEEPROMで構成する。但し

従来の異なり複数の管理値を記憶させる。例えば書き込み回数管理値を10³回として1111101000と予報管理値9×10³回として1110000100を同一ビット数により構成且連続して記憶させておく。そしてこの第2記憶部4aにおける送給する複数の管理値を前述の比較部6aに送出される管理値と同一ビット数からなるDATA2と第2制御部2aは制御信号CONT3によって複数回だけビット構成単位毎に繰返して比較させ、DATA2<各管理値のときは高レベル1を送出させ、DATA2≧管理値のときは低レベルを送出させるようにすれば、例えばDATA2が複数の管理値に対し何れも下廻るときは比較部6aは最終管理値に対して1、予報管理値に対しても1を出力して11、DATA2が両管理値の間にあるときは出力10、DATA2が最終管理値に等しくなるか上廻ったときは出力00を出力端子OUTより送出する。このように複数の管理値を第2記憶部4aに直列して設定して比較部6aをしてDATA2の構成ビットを単位

として直列に比較を繰返せばDATA 2が最終管理値と等しくなるか上廻るときは0の逆符号して検出され、DATA 2が最終管理値未満のときは予報管理値の設定に従って1を算とする表示を行い最終管理値への接近度を検出することが出来る。

(d) 発明の効果

以上説明したように本発明によれば従来EEPROMの書込回数を管理する手段を外部回路によっていたのに比較して同一チップ上に1チップとして構成したため実装スペースを削減低減出来ると共に、計数データ専用の記憶部を設けて従来の第1制御部はEEPROMを単なるメモリ制御のみで書込回数管理のための制御手段を全く考慮することなく容易に使用出来、且最終管理値に対する接近度も得られEEPROMにおける書込回数を容易に管理することが出来るので有用である。

4. 図面の簡単な説明

第1図は従来の外部回路によって書込回数管理手段を備えたEEPROMのブロック図、第2図は本発明の一実施例における書込回数管理手段を

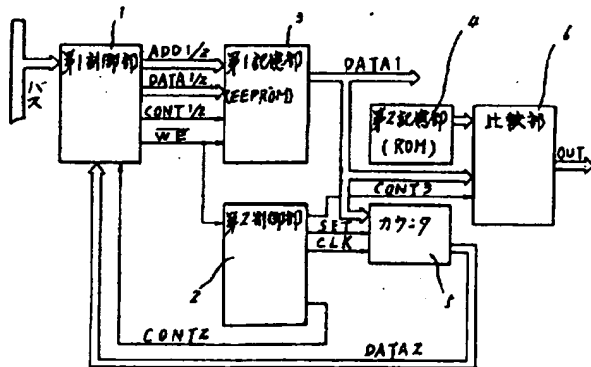
備えたEEPROMによるICメモリのブロック図である。

図において1、1aは第1制御部、2、2aは第2制御部、3は第1記憶部、4、4aは第2記憶部、5はカウンタ、6、6aは比較部および7は第3記憶部である。

代理人 弁理士 松岡 宏樹



第1図



第2図

